

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YONG-SOO KIM

Art Group:

Application No.:

Examiner:

Filed:

For: **Method For Forming Capacitor In  
Semiconductor Device**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0086498	30 December 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: \_\_\_\_\_

*7/17/03*

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086498

Application Number

출원년월일 : 2002년 12월 30일

Date of Application

주식회사 하이닉스반도체  
Hynix Semiconductor Inc.



2003 년 05 월 14 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0037		
【제출일자】	2002.12.30		
【발명의 명칭】	반도체 소자의 캐패시터 제조방법		
【발명의 영문명칭】	METHOD OF MANUFACTURING CAPACITOR FOR SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	김용수		
【성명의 영문표기】	KIM,Yong Soo		
【주민등록번호】	670808-1845710		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 한국아파트 102-405		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	30,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약】****【요약】**

본 발명은 MIS 또는 MIS 구조의 캐패시터에서 ALD에 의한 Al<sub>2</sub>O<sub>3</sub> 박막의 증착시 잠복시간 없이 초기부터 증착이 이루어지도록 함과 동시에 금속성의 Al 클러스터 생성을 억제하고, Al<sub>2</sub>O<sub>3</sub> 박막의 결정화를 위한 열처리공정시 Al<sub>2</sub>O<sub>3</sub> 박막과 하부전극 계면에서의 계면산화막 발생을 방지하여 캐패시터의 누설전류 및 브레이크다운 전압 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 제조방법을 제공한다.

본 발명은 소정의 공정이 완료된 반도체 기판 상에 실리콘막으로 이루어진 하부전극을 형성하는 단계; 하부전극 표면에 균일한 실리콘산화 박막을 형성하는 단계; 실리콘산화 박막 상부에 알루미나 박막을 형성하는 단계; 알루미나 박막을 열처리하여 결정화하는 단계; 및 결정화된 알루미나 박막 상부에 금속막, 실리콘막 또는 금속막/실리콘막으로 이루어진 상부전극을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 제조방법에 의해 달성될 수 있다. 바람직하게, 실리콘산화 박막과 알루미나 박막은 원자층증착 공정으로 형성한다.

**【대표도】**

도 5

**【색인어】**

XPS, 알루미나, 실리콘산화막, ALD, MIS, MIM

**【명세서】****【발명의 명칭】**

반도체 소자의 캐패시터 제조방법(METHOD OF MANUFACTURING CAPACITOR FOR SEMICONDUCTOR DEVICE)

**【도면의 간단한 설명】**

도 1은 종래의 반도체 소자의 캐패시터 제조시 폴리실리콘막의 하부전극과 Al<sub>2</sub>O<sub>3</sub> 박막의 계면 사이에 계면산화막이 생성된 경우를 나타낸 단면도.  
도 2는 ALD 공정에 의해 폴리실리콘막 상부에 증착된 종래의 Al<sub>2</sub>O<sub>3</sub> 박막을 XPS로 분석한 결과를 나타낸 그래프.

도 3은 ALD 공정의 주기회수에 따라 폴리실리콘막 상부에 증착된 종래의 Al<sub>2</sub>O<sub>3</sub> 박막의 두께를 나타낸 그래프.

도 4는 ALD 공정에 의한 Al<sub>2</sub>O<sub>3</sub> 박막의 형성과정을 나타낸 도면.

도 5는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

도 6은 ALD 공정에 의한 주기회수에 따라 증착된 Al<sub>2</sub>O<sub>3</sub> 박막의 두께를 하부막에 따라 비교하여 나타낸 그래프로서,

도 6에서 (A)는 하부막이 SiO<sub>2</sub> 박막인 본 발명의 경우를 나타내고,  
(B)는 하부막이 폴리실리콘막인 종래의 경우를 나타냄.

※도면의 주요부분에 대한 부호의 설명

50 : 반도체 기판	51 : 층간절연막
52 : 플러그	53 : 캐페시터 산화막
54 : 하부전극	55 : $\text{SiO}_2$ 박막
56 : $\text{Al}_2\text{O}_3$ 박막	

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자의 캐페시터 제조방법에 관한 것으로, 특히 원자층증착(Atomic Layer Deposition; ALD)에 의한 알루미나( $\text{Al}_2\text{O}_3$ ) 박막을 적용한 반도체 소자의 캐페시터 제조방법에 관한 것이다.

<15> 일반적으로, 메모리셀(memory cell)에 사용되는 캐페시터는 스토리지(storage node)용 하부전극, 유전막, 및 플레이트(plate)용 상부전극으로 이루어지진다. 또한, 고집적화에 따라 감소하는 셀면적 내에서 셀당 요구되는 약 25fF의 캐페시턴스를 확보하기 위하여, 캐페시터 높이증가 및 MPS(Meta-Stable PolySilicon) 형성을 통한 캐페시터 면적증가, 유전막 두께감소 및 고유전막 개발 등의 노력이 이루어지고 있다.

<16> 그러나, 캐페시터 높이는 식각한계로 인하여 일정 높이 이상으로 증가시킬 수 없고, 유전막 두께는 누설전류(leakage current) 문제로 인하여 일정 두께 이하로 감소시킬 수 없다. 따라서, 최근에는 탄탈륨산화막( $\text{Ta}_2\text{O}_5$ ), 알루미나( $\text{Al}_2\text{O}_3$ ), SBT 등의 고유전막 개발을 통하여 고집적화에 대응하는 캐페시턴스를 확보하는데 주력하고 있는데, 이러한

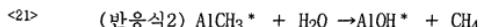
고유전막 중  $Ta_2O_5$ ,  $Al_2O_3$ 을 제외하고는 아직 증착방법 및 소오스에 대한 연구뿐만 아니라 반도체 소자 특성에 미치는 영향 등에 대한 연구가 더 많이 요구되고 있다. 고유전막중  $Ta_2O_5$ 는 20~25의 높은 유전율을 갖지만, 금속-절연막-실리콘(Metal-Insulator-Silicon)의 MIS 구조 캐퍼시터에 적용시 실제 유전막 두께인  $Teqox$ 가 35Å 이하인 경우 누설전류 특성이 매우 열악하여 향후 디바이스에 대한 확장성이 떨어지기 때문에,  $Ta_2O_5$  보다는 다소 낮은 유전율( $\epsilon = 9$ )을 갖지만 폴리실리콘에 대한 밸런스밴드 오프셋(valance band off set) 값이 높아  $Teqox$ 가 감소하여도 누설전류 특성이 변하지 않는  $Al_2O_3$  박막을 MIS 구조나 실리콘-절연막-실리콘(Silicon-Insulator-Silicon)의 SIS 구조 캐퍼시터에 적용하고 있다.

<17>  $Al_2O_3$  박막은 통상적으로 원자층증착(Atomic Layer Deposition; ALD) 공정에 의해 소오스로서 TMA(Trimethylaluminum;  $Al(CH_3)_3$ )를 사용하고 반응물로서  $H_2O$ (수증기) 또는  $O_3/H_2O_2$  등을 사용하여 증착하는데, 이때  $Al_2O_3$  박막이 비정질(amorphous) 상태로 증착되기 때문에 증착 후  $Al_2O_3$  박막을 결정화시키기 위하여 약 850°C 이상의 고온에서 열처리를 수행하여야 한다. 그러나, MIS 나 SIS 구조 캐퍼시터에서는 하부전극이 실리콘으로 이루어지기 때문에, 도 1에 도시된 바와 같이, 예컨대  $N^+$  도핑된 폴리실리콘막(10)의 하부전극 상부에  $Al_2O_3$  박막(11)를 적용하게 되면, 상기 고온에서의 열처리 과정에서  $Al_2O_3$  박막(11) 내의 OH-결합(bonding)과 폴리실리콘의 교환반응(exchange reaction)에 의해, 이를 계면 사이에  $SixOy(100)$ 의 계면산화막이 생성되어 캐퍼시턴스가 저하될 뿐만 아니라 브레이크다운 전압 특성이 열악해지게 된다.

<18> 또한, ALD 공정에 의해 폴리실리콘막(10) 상부에 증착된  $Al_2O_3$  박막(11)을 XPS(X-ray Photoemission Spectroscopy)로 분석해보면, 도 2에 나타낸 바와 같이, 스펙

터링(sputtering) 두께가 두꺼울수록, 즉  $\text{Al}_2\text{O}_3$  박막(11)과 폴리실리콘막(10)의 계면에 가까울수록 Al-Al 결합에 해당하는 피크(peak)가 나타남을 알 수 있다. 도 2에서 (a)와 (b)는 같은 시료, 즉  $\text{Al}_2\text{O}_3$  박막을 다른 깊이에서 분석한 결과로 깊이가 (a)<(b)인 경우이다. Al-Al 결합은 Al 클러스터(cluster)에 의한 것으로 ALD에 의한  $\text{Al}_2\text{O}_3$  박막의 증착시에는 이러한 Al 클러스터에 의해 잠복시간(incubation time)이 필요하다. 즉, 도 3은 ALD 공정의 주기(cycle)회수에 따라 폴리실리콘막 상부에 증착된 종래의  $\text{Al}_2\text{O}_3$  박막의 두께를 나타낸 그래프로서, 도시된 바와 같이, ALD 공정이 일반적으로 표면제한반응 메카니즘(surface limited reacting mechanism)을 따르기 때문에 주기회수가 증가할수록  $\text{Al}_2\text{O}_3$  박막 두께가 두꺼워지지는 선형(linear)특성을 가지지만, 초기 몇 회의 주기 Al-O 결합보다는 Al-Al 결합에 의한 Al 클러스터가 더 잘 형성되어 균일한  $\text{Al}_2\text{O}_3$  박막이 형성되지 못하고 잠복시간(T)이 필요하고, 결과적으로 이러한 잠복시간(T) 도안 생성된 금속성의 Al 클러스터에 의해 누설경로(leakage path)가 제공되고, 이에 따라 소자의 성능이 현저하게 저하되는 문제가 발생하게 된다.

<19> 한편, 이러한 Al 클러스터가 생성되는 원인은  $\text{Al}_2\text{O}_3$  박막이 형성되는 하부막의 상태와 관련이 있는데, 이를 설명하기에 앞서 먼저 상술한 표면제한반응메카니즘을 따른 ALD 공정에 의한  $\text{Al}_2\text{O}_3$  박막의 형성과정을 도 4 및 하기의 (반응식1)(반응식2)를 통하여 설명한다.



<22> 먼저, 도 4의 (a)에 나타낸 바와 같이, OH 기가 노출된 기판에 TMA(Al(CH<sub>3</sub>)<sub>3</sub>)를 공급하면, (반응식1) 및 (b)에서와 같이, AlOAl(CH<sub>3</sub>)<sub>4</sub>\* 가 형성되고 부산물인 CH<sub>4</sub>는 Ar과 같은 퍼지가스에 의해 챔버 밖으로 방출되고, (c)에 나타낸 바와 같이, AlOH\*가 형성되고 부산물인 CH<sub>4</sub>는 퍼지가스에 의해 챔버 밖으로 방출되며, 이러한 과정을 1주기로 하여 반복수행하면 원하는 두께의 박막을 얻을 수 있다. (반응식1)(반응식2)에서, [ ]\*는 표면상태(surface state)를 나타내는 표시법이며, 일반적으로 고체표면은 고체와 달리 격자의 반복성(repeatability)이 없기 때문에 고체 내부와 다른 에너지 상태를 갖는데 이를 표면상태라고 하며, 이러한 표면상태는 고체에서의 결합보다 활성화되어 있어 반응이 쉽게 일어난다.

<23> 여기서, Al<sub>2</sub>O<sub>3</sub> 박막이 형성되는 기판, 즉 하부막의 초기표면 상태가 AlOH\* 가 아닌 Si 또는 C, H, O, N과 같은 불순물이 증착과정을 유도하게 되면, AlOAl(CH<sub>3</sub>)<sub>2</sub> 대신 Al과 Si이 직접 상호작용하여 산소공급 부족이 발생하여 계면에 Al 클러스터를 유발하게 된다. 또한, TMA의 Al<sup>3+</sup> 이온과 하부막에 존재하는 전자의 상호작용에 의해서도 Al 클러스터가 생성될 수 있으며, 특히 N<sup>+</sup> 도핑된 폴리실리콘막은 충분한 전자들을 가지고 있기 때문에 금속성의 Al 클러스터를 더 쉽게 생성하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, MIS 또는 MIS 구조의 캐패시터에서 ALD에 의한 Al<sub>2</sub>O<sub>3</sub> 박막의 증착시 잠복시간 없이 초기부터

증착이 이루어지도록 함과 동시에 금속성의 Al 클러스터 생성을 억제하고,  $\text{Al}_2\text{O}_3$  박막의 결정화를 위한 열처리공정시  $\text{Al}_2\text{O}_3$  박막과 하부전극 계면에서의 계면산화막 발생을 방지하여 캐패시터의 누설전류 및 브레이크다운 전압 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 제조방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<25> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 소정의 공정이 완료된 반도체 기판 상에 실리콘막으로 이루어진 하부전극을 형성하는 단계; 하부전극 표면에 균일한 실리콘산화 박막을 형성하는 단계; 실리콘산화 박막 상부에 알루미나 박막을 형성하는 단계; 알루미나 박막을 열처리하여 결정화하는 단계; 및 결정화된 알루미나 박막 상부에 금속막, 실리콘막 또는 금속막/실리콘막으로 이루어진 상부전극을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 제조방법에 의해 달성을 수 있다.

<26> 바람직하게, 실리콘산화 박막은 원자층증착 공정으로 인-시튜 또는 엑스-시튜 방식으로 형성하고, 원자층증착 공정시 실리콘 소오스로서  $\text{SiCl}_4$ , DCS 또는 HCD를 사용하고, 반응소오스로서  $\text{H}_2\text{O}$ ,  $\text{O}_3$  또는  $\text{H}_2\text{O}_2$ 를 사용하고, 실리콘 소오스 및 반응소오스의 공급시간 및 퍼지시간은 각각 10초 이하로 조절한다. 또한, 실리콘산화 박막은 200°C 이하의 저온에서 10Å 이하의 두께로 형성한다.

<27> 또한, 알루미나 박막은 원자층증착 공정으로 알루미늄 소오스로서 TMA를 사용하고, 반응소오스로서 H<sub>2</sub>O, O<sub>3</sub>, 또는 H<sub>2</sub>O<sub>2</sub>를 사용하여 100Å 이하의 두께로 형성한다. 또한, 원자층증착 공정시 에너지원으로 플라즈마를 사용하고, 증착온도는 실온 내지 500°C의 온도로 조절한다.

<28> 또한, 알루미나 박막의 열처리는 600°C 이상의 온도에서 N<sub>2</sub> 또는 O<sub>2</sub> 분위기로 노어닐링 또는 급속열처리 공정으로 수행한다.

<29> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<30> 도 5는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조방법을 설명하기 위한 단면도이다.

<31> 도 5를 참조하면, 트랜지스터 및 비트라인 등의 소정의 공정이 완료된 반도체 기판(10) 상에 충간절연막(51)을 형성하고, 기판(10)의 일부가 노출되도록 충간절연막(51)을 식각하여 콘택홀을 형성한다. 그 다음, 콘택홀에 매립되도록 충간절연막(51) 상부에 폴리실리콘막 등의 도전막을 증착하고 화학기계연마(Chemical Mechanical Polishing; CMP) 공정이나 에치백(etch-back) 공정으로 충간절연막(51)의 표면이 노출되도록 도전막을 전면식각하여 기판과 콘택하는 플러그(52)를 형성한다. 여기서, 플러그(52)는 스토리지노드 콘택으로서 작용한다.

<32> 그 다음, 기판 전면 상에 PSG막/PE-TEOS막으로 이루어진 캐패시터 산화막(53)을 형성하고, 플러그(52) 및 그 주변의 일부가 노출되도록 캐패시터 산화막(53)을 식각하여 캐패시터용 홀을 형성한다. 그 후, 홀 및 캐패시터 산화막(53) 표면 상에 하부전극(54)

을 형성하고, CMP 공정이나 에치백공정으로 캐페시터 산화막(53)의 표면이 노출되도록 전면식각하여 하부전극(54)을 분리한다. 바람직하게, 하부전극(54)은 도핑되지 않은 폴리실리콘막이나 도핑된 비정질실리콘막 등의 실리콘막으로 형성한다. 또한, 도시되지는 않았지만, 하부전극(54)의 분리공정 전에 하부전극(54) 표면에 MPS층을 형성하여 하부전극(54)의 표면적을 증대시킬 수 있다. 그 다음, PH<sub>3</sub>를 이용하여 하부전극(54)을 도핑하고 노어널링(furnace annealing) 공정으로 열처리를 수행한다.

<3> 그 후, 하부전극(54) 표면에 촉매(catalyst)-ALD 공정으로 인-시튜(in-situ) 또는 엑스-시튜(ex-situ) 방식으로 200°C 이하의 저온에서 10Å 이하 두께의 실리콘산화(SiO<sub>2</sub>) 박막(55)을 형성한다. 이때, ALD에 의한 저온공정에 의해 SiO<sub>2</sub> 박막(55)이 두께변화가 2Å 이하인 균일한 막으로 형성된다. 바람직하게, 촉매-ALD 공정은 실리콘 소오스로서 SiCl<sub>4</sub>, DCS (Diclorinesilicon; SiH<sub>2</sub>Cl<sub>2</sub>) 또는 HCD를 사용하고, 반응소오스로서 H<sub>2</sub>O, O<sub>3</sub> 또는 H<sub>2</sub>O<sub>2</sub>를 사용하며, 실리콘 소오스 및 반응소오스 공급시 촉매로서 피리딘(pyridine)을 사용하여 수행하고, 실리콘 소오스 및 반응소오스의 공급시간 및 퍼지시간은 각각 10초 이하로 조절한다.

<3> 그 다음, SiO<sub>2</sub> 박막(55) 상에 ALD 공정으로 Al 소오스로서 TMA를 사용하고 반응소오스로서 H<sub>2</sub>O, O<sub>3</sub>, 또는 H<sub>2</sub>O<sub>2</sub>를 사용하여 Al<sub>2</sub>O<sub>3</sub> 박막(56)을 형성한 후, Al<sub>2</sub>O<sub>3</sub> 박막(56)을 열처리하여 결정화한다. 바람직하게, ALD 공정시 에너지원으로 플라즈마를 사용하고, 증착온도는 실온 내지 500°C, 더욱 바람직하게 200 내지 500°C로 조절하며, Al<sub>2</sub>O<sub>3</sub> 박막(56)은 100Å 이하의 두께로 형성한다. 또한, Al<sub>2</sub>O<sub>3</sub> 박막(56)의 열처리는 600°C 이상의 온도에서 N<sub>2</sub> 또는 O<sub>2</sub> 분위기로 노어널링 또는 급속열처리(Rapid Thermal Process; RTP) 공정으로 수행한다. 여기서, ALD에 의한 Al<sub>2</sub>O<sub>3</sub> 박막(56)의 증착시, 실리콘막의 하

부전극(54) 표면에 형성된 균일한  $\text{SiO}_2$  박막(55)에 의해  $\text{Al}_2\text{O}_3$  박막(56)이 잠복시간 없이 초기부터 증착이 이루어진다. 즉, 도 6은 ALD 공정에 의한 주기회수에 따라 증착된  $\text{Al}_2\text{O}_3$  박막의 두께를 하부막에 따라 비교하여 나타낸 그래프로서, 하부막이  $\text{SiO}_2$  박막인 (A)의 경우 하부막이 폴리실리콘막인 (B)의 경우와 달리 잠복시간(T)이 필요 없게 됨을 알 수 있다. 또한, 도시되지는 않았지만,  $\text{SiO}_2$  박막(55) 상에 형성된  $\text{Al}_2\text{O}_3$  박막(56)을 XPS로 분석해보면 종래와 같은 금속성의 Al 클러스터가 형성되지 않을 뿐만 아니라,  $\text{Al}_2\text{O}_3$  박막(56)의 열처리공정시  $\text{SiO}_2$  박막(55)에 의해  $\text{SixOy}$ 와 같은 계면산화막이 발생되지 않는다.

<35> 그 후, 도시되지는 않았지만,  $\text{Al}_2\text{O}_3$  박막(56) 상부에 상부전극을 형성하여 캐페시터를 완성한다. 여기서, 상부전극은 금속막, 실리콘막, 또는 금속막/폴리실리콘막으로 형성하는데, 금속막으로서는 TiN막이나 Ru막을 사용하고, 실리콘막으로서는 도핑되지 않은 폴리실리콘막이나 도핑된 폴리실리콘막을 사용하는데, 이때 폴리실리콘막은 저압-화학기상증착(Low Pressure-Chemical Vapor Deposition; LPCVD) 공정으로 형성한다. 또한, 금속막으로서 TiN막을 사용하는 경우, TiN 박막은 ALD나 CVD 공정에 의해 단일막으로 형성하거나, ALD 공정이나 CVD 공정으로 제 1 TiN막을 형성한 후 물리기상증착(Physical Vapor Deposition; PVD) 공정으로 제 2 TiN막을 형성하여 2중막으로 형성할 수도 있다.

<36> 상기 실시예에 의하면, 하부전극이 실리콘막으로 이루어진 MIS 또는 SIS 구조 캐페시터에서 ALD에 의한  $\text{Al}_2\text{O}_3$  박막 형성전에 하부전극 표면에  $\text{SiO}_2$  박막을 형성함으로써  $\text{Al}_2\text{O}_3$  박막을 잠복시간없이 초기부터 증착하는 것이 가능해지고 금속성의 Al 클러스터의 생성을 억제할 수 있을 뿐만 아니라, 결정화를 위한  $\text{Al}_2\text{O}_3$  박막의 열처리 공정시 계면

산화막 발생을 방지할 수 있게 된다. 그 결과, 캐패시터의 누설전류 및 브레이크다운 전압 특성을 향상시킬 수 있고, 상대적으로 낮은 캐패시턴스에서도 안정적인 리프레시 특성을 확보할 수 있게 된다.

<37> 이상에서 설명한 본 발명은 전술한 실시에 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 【발명의 효과】

<38> 전술한 본 발명은 MIS 또는 MIS 구조의 캐패시터에서 ALD에 의한  $\text{Al}_2\text{O}_3$  박막의 증착시 잠복시간 없이 초기부터 증착이 이루어지도록 함과 동시에 금속성의 Al 클러스터 생성을 억제하고,  $\text{Al}_2\text{O}_3$  박막의 결정화를 위한 열처리공정시  $\text{Al}_2\text{O}_3$  박막과 하부전극 계면에서의 계면산화막 발생을 방지함으로써, 캐패시터의 누설전류 및 브레이크다운 전압 특성을 향상시킬 수 있다.

**【특허 청구범위】****【청구항 1】**

소정의 공정이 완료된 반도체 기판 상에 실리콘막으로 이루어진 하부전극을 형성하는 단계;

상기 하부전극 표면에 균일한 실리콘산화 박막을 형성하는 단계;

상기 실리콘산화 박막 상부에 알루미나 박막을 형성하는 단계; 및

상기 알루미나 박막을 열처리하여 결정화하는 단계를 포함하는 반도체 소자의 캐페시터 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 실리콘산화 박막은 원자층증착 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 캐페시터 제조방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 실리콘산화 박막은 인-시튜 또는 엑스-시튜 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 캐페시터 제조방법.

**【청구항 4】**

제 2 항에 있어서,

상기 원자층증착 공정시 실리콘 소오스로서  $\text{SiCl}_4$ , DCS 또는 HCD를 사용하고, 반응 소오스로서  $\text{H}_2\text{O}$ ,  $\text{O}_3$  또는  $\text{H}_2\text{O}_2$ 를 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 5】**

제 4 항에 있어서,

상기 원자층증착 공정시 실리콘 소오스 및 상기 반응소오스 공급시 촉매로서 페리딘을 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 6】**

제 4 항에 있어서,

상기 실리콘 소오스 및 상기 반응소오스의 공급시간 및 펴지시간은 각각 10초 이하로 조절하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 7】**

제 3 항에 있어서,

상기 실리콘산화 박막은  $200^\circ\text{C}$  이하의 저온에서 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 8】**

제 7 항에 있어서,

상기 실리콘산화 박막은 10Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

**【청구항 9】**

제 1 항에 있어서,

상기 알루미나 박막은 원자충증착 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

**【청구항 10】**

제 9 항에 있어서,

상기 원자충증착 공정은 알루미늄 소오스로서 TMA를 사용하고, 반응소오스로서 H<sub>2</sub>O, O<sub>3</sub>, 또는 H<sub>2</sub>O<sub>2</sub>를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

**【청구항 11】**

제 9 항 또는 제 10 항에 있어서,

상기 원자충증착 공정시 에너지원으로 플라즈마를 사용하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

**【청구항 12】**

제 11 항에 있어서,  
상기 원자층증착 공정시 증착온도는 실온 내지 500°C로 조절하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 13】**

제 1 항 또는 제 9 항에 있어서,  
상기 알루미나 박막은 100Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 14】**

제 1 항에 있어서,  
상기 열처리는 600°C 이상의 온도에서 N<sub>2</sub> 또는 O<sub>2</sub> 분위기로 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 15】**

제 14 항에 있어서,  
상기 열처리는 노어널링 또는 급속열처리 공정으로 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 16】**

제 1 항에 있어서,  
상기 결정화된 알루미나 박막 상부에 금속막, 실리콘막 또는 금속막/실리콘막으로  
이루어진 상부전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의  
캐패시터 제조방법.

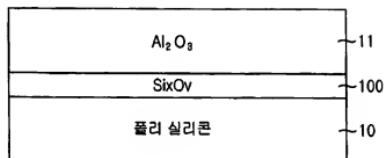


1020020086498

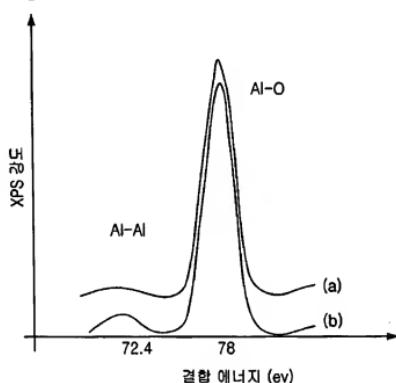
출력 일자: 2003/5/16

【도면】

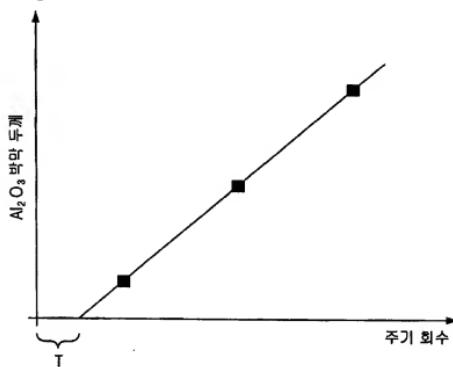
【도 1】



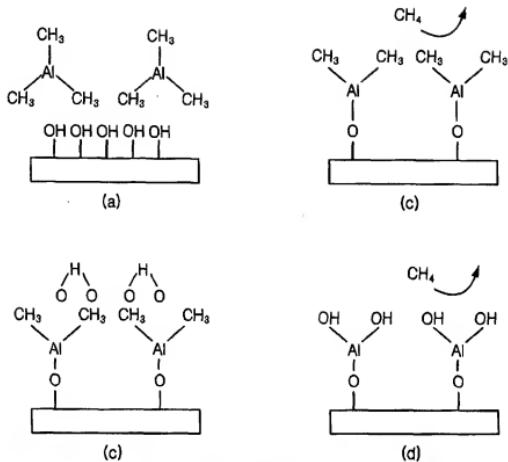
【도 2】



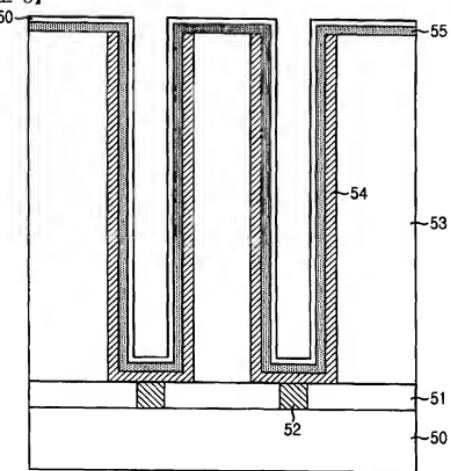
【도 3】



## 【도 4】



## 【도 5】





1020020086498

출 력 일 자: 2003/5/16

【도 6】

